

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-229876

(43)Date of publication of application : 24.12.1984

(51)Int.Cl.

H01L 29/80
H01L 21/28
H01L 21/302

(21)Application number : 58-105306

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.06.1983

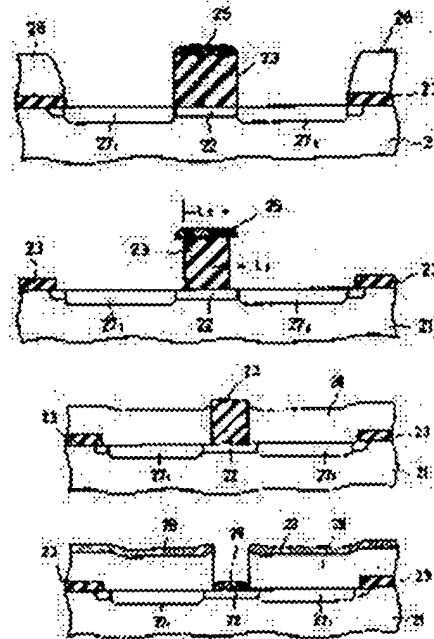
(72)Inventor : TERADA TOSHIYUKI
TOYODA NOBUYUKI
HOJO AKIMICHI
KAMEI KIYOO

(54) MANUFACTURE OF SCHOTTKY GATE TYPE FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a self-alignment type MESFET of high performance by a method wherein, after the formation of the source and drain regions, a self-alignment structure is obtained by the method for transferring the shape of an insulation film pattern used as a mask for impurity ion implantation into the shape of a gate electrode.

CONSTITUTION: An insulation film 23 relatively thick is deposited on a compound semiconductor substrate, and the metallic pattern 25 is formed thereon in the region for gate electrode formation. The insulation film is etched by anisotropic etching method. Thereafter, the resist pattern 26 having an aperture is formed in the element region, and an impurity is ion-implanted at a high concentration, thus forming the source and drain regions 27. Afterwards, the side surface of the insulation film is slightly etched by isotropic etching method. After the removal of the metallic pattern and then annealing, and organic film 28 is applied over the entire surface, resulting in flattening the surface. The surface of the insulation film 23 is exposed, and next the substrate surface is exposed by the removal of this insulation film by etching. A metallic film for the gate electrode



BEST AVAILABLE COPY

is adhered over the entire surface and processed by lift-off with the organic film, and accordingly the gate electrode 29 formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭59-229876

⑫ Int. Cl.³
 H 01 L 29/80
 21/28
 21/302

識別記号

庁内整理番号
 7925-5F
 7638-5F
 8223-5F

⑬ 公開 昭和59年(1984)12月24日

発明の数 2
 審査請求 有

(全 12 頁)

⑭ ショットキーゲート型電界効果トランジスタ
 の製造方法

⑮ 特 願 昭58-105306

⑯ 出 願 昭58(1983)6月13日

⑰ 発 明 者 寺田俊幸

川崎市幸区小向東芝町1番地東
 京芝浦電気株式会社総合研究所
 内

⑱ 発 明 者 豊田信行

川崎市幸区小向東芝町1番地東
 京芝浦電気株式会社総合研究所

⑲ 発 明 者 北條顯道

川崎市幸区小向東芝町1番地東
 京芝浦電気株式会社総合研究所
 内

⑳ 発 明 者 亀井清雄

川崎市幸区小向東芝町1番地東
 京芝浦電気株式会社小向工場内

㉑ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉒ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

ショットキーゲート型電界効果トランジスタ
 の製造方法

2. 特許請求の範囲

(1) 化合物半導体基板上に絶縁膜を堆積する工程と、この絶縁膜上のゲート電極形成領域に金属パターンを形成する工程と、この金属パターンをマスクとして異方性エッチング法により前記絶縁膜をエッチングする工程と、前記金属パターンを残したまま量子領域に開口を有するレジストパターンを形成しイオン注入を行ってソース、ドレイン領域を形成する工程と、この後前記金属パターンをマスクとして異方性エッチング法により前記絶縁膜の側面を所定の厚みエッチングする工程と、この後前記金属パターンを除去し全面に有膜膜を堆布して表面を平坦化する工程と、この有膜膜を全面エッチングして前記絶縁膜の表面を露出させる工程と、露出させた絶縁膜表面をエッチング除去して基板深

度を露出させる工程と、この露出した基板表面との間でショットキー接触を形成する金属膜を全面に堆積し前記有膜膜を除去してリフトオフ加工によりゲート電極を形成する工程と、この工程の後または前記有膜膜を堆布する工程の前にソースおよびドレイン電極を形成する工程とを備えたことを特徴とするショットキーゲート型電界効果トランジスタの製造方法。

(2) 前記化合物半導体基板は、半絶縁性GaAs基板の表面部に活性層を形成したものであり、前記ゲート電極用の金属膜はPt、Pd、Tiから選ばれた一種以上の金属膜であり、この金属膜被覆後に熱処理を行ってゲートしきい値電圧を所望値に設定する特許請求の範囲第1項記載のショットキーゲート型電界効果トランジスタの製造方法。

(3) 前記有膜膜を全面エッチングして前記絶縁膜表面を露出させ、残された有膜膜の表面を硬化処理し、前記絶縁膜をエッチング除去した後、残された前記有膜膜をエッチングして表面

の硬化膜によりオーバーハング構造を形成する
特許請求の範囲第1項記載のショットキーゲート
型電界効果トランジスタの製造方法。

(4) 化合物半導体基板上に絶縁膜を堆積する
工程と、この絶縁膜上にソース、ドレイン形成
領域に開口を有する第1のマスクを形成し、局方
性エッチング法により絶縁膜をエッチングして
基膜表面を露出させる工程と、前記第1のマス
クおよびその下の絶縁膜をマスクとしてイオン
注入を行ってソース、ドレイン領域を形成する
工程と、前記第1のマスクを剥したまま等方性
エッチング法により第1のマスク下の絶縁膜の
側面を一部エッチングする工程と、前記第1の
マスクを除去し全面に有機膜を塗布して表面を
平坦化する工程と、この有機膜上にゲート電極
形成領域を含む領域に開口を有する第2のマス
クを形成し、有機膜を選択エッチングして前記
ゲート電極形成領域の絶縁膜表面を露出させる
工程と、露出した絶縁膜をエッチング除去して
ゲート電極形成領域の基膜表面を露出させる工

2のマスクは前記有機膜とは異なる有機膜又は
絶縁膜である特許請求の範囲第4項記載のシ
ョットキーゲート型電界効果トランジスタの製造
方法。

3.発明の詳細な説明

〔発明の技術分野〕

本発明はGaAs等の化合物半導体を用いたシ
ョットキーゲート型電界効果トランジスタ（以下
MESFETと称す）の製造方法に関する。

〔発明の技術的背景とその問題点〕

GaAs MESFETは高周波増幅器や発振器などを
構成する個別半導体素子として広く使われてい
る。また、最近ではGaAs ICの基本素子として
も重要な役割を果たしつつある。このいずれの応
用でもGaAs FETの性能を十分に引き出すことが要
求される。GaAs FETの高周波性能指数はよく知
られているように C_{gs}/g_m で記述される。ここで
 C_{gs} はゲート・ソース間容量であり、 g_m はFET
の相互コンダクタンスである。 C_{gs} を減らし、
 g_m を大きくしてやることにより高周波性能指数

特開昭59-223875(2)

と、この後ゲート電極金属膜を全面に被覆し
これを前記有機膜を除去することによりリフト
オフ加工してゲート電極を形成する工程と、こ
の後または前記有機膜の塗布工程直にソース、
ドレイン電極を形成する工程とを備えたことを
特徴とするショットキーゲート型電界効果トラ
ンジスタの製造方法。

(5) 前記化合物半導体基板は、半絶縁性
GaAs基板の表面に活性層を形成したものであり、
前記ゲート電極金属膜はAL膜である特許請求の
範囲第4項記載のショットキーゲート型電界効
果トランジスタの製造方法。

(6) 前記化合物半導体基板は半絶縁性GaAs基
板の表面に活性層を形成したものであり、前記
ゲート電極金属膜はPt、Pd、Tiから選ばれた
1種以上の金属膜であって、ゲート電極形成後
熱処理を行ってゲートしきい値電圧を制御する
特許請求の範囲第4項記載のショットキーゲート
型電界効果トランジスタの製造方法。

(7) 前記有機膜はレジスト膜であり、前記第

は改善される。 g_m に着目すると、FETの実質的
な g_m は

$$g_m = \frac{g_{m0}}{1 + g_{m0} R_g}$$

とすることが知られている。 g_{m0} はFETのチャ
ネル部の特性から決まる真性相互コンダクタ
ンスである。これが引き出しうる最大の g_m であ
るが、現実にはソース・ゲート間の直列抵抗 R_g が
あり、上式のように実質的な g_m は g_{m0} より小さ
なものになってしまう。従って、この R_g をいかに
して小さくするかが大きい相互コンダクタンス
を得てFETの高周波特性を改善するための1つ
の途である。

もう1つは g_{m0} 自体を大きくすることである。
 g_{m0} を C_{gs} を増大させることなく大きくする有
効な手段はゲート長(L_g)を短くすることである。
何故なら $C_{gs} \propto L_g$ 、 $g_{m0} \propto 1/L_g$ なる関係がある
からである。

以上のようにGaAs MESFETの高周波性能を改善
するための技術として、(1)寄生抵抗の低減化技

図、(2)ゲート接合酸化技術、の開発が望まれている。

MESFETの通利抵抗 R_s の低減化をはかる方法としてセルフライン(自己整合)法が知られている。これにはいくつかの方法があるが、代表的なのは第1図に示すようにゲート電極18をマスクとして高濃度イオン注入をし、電子親和性が 10^{18}cm^{-3} 以上のソース、ドレイン領域14, 16をゲート電極18に近接させて形成する方法である。11は半導体性GaAs結晶、12は活性層、10, 17はそれぞれソース、ドレイン電極である。この方法で最も難しい技術は耐熱性ゲート電極金属の選択である。ゲート電極をマスクとして高濃度イオン注入したソース、ドレイン部を高電子濃度層とするにはアニーリング工程が必要であるが、通常GaAsへのドナーイオン注入時のアニー温度は約800℃にもなる。こうした高温アニー工程を厭うこともマスクとして使ったゲート電極とGaAsとが良好なショットキー障壁を有していることが必要である。

しかしながらこの方法では、ゲート領域に設けるマスクとしてレジストを主体としたものを用いこれをサイドエッチングするというプロセスを使用しているが、レジストはポストバックの程度、時間等によりエッチング特性が変化するため、サイドエッチングの制御には細心の注意を必要とするという短点がある。

またこの方法では、ゲート電極形成の際に再度マスク合せが必要である。このためゲート電極はマスク合せの際のマージンだけソース、ドレイン領域とオーバーラップしてしまい、ゲート容量 C_g の増大をもたらす。これは素子が微細化、集積化されるに従って相対的に影響が大きくなり、素子の性能上問題となる。

更にゲート電極形成に再度マスク合せを必要とすることは、工程が複雑になるだけでなく、素子の微細化自体を制約する要因となる。

(発明の目的)

本発明は上記の如き問題を解決した高性能のセルフライン型MESFETを製造する方法を提供

特開59-229576(3)

る。こうした厳しい条件下でGaAsと良好なショットキー障壁を形成しうる金属は少ない。主にW, Mo, Ta, Tiなどの耐熱性金属その他Ti/Wなどの耐熱性金属合金がその可能性を有している。実際にTi/WゲートのセルフラインGaAs MESFETの実験例が報告されている(例えば、N. YOKOYAMA et al. 1981 ISBCC)。しかし、こうした耐熱性金属は一般にGaAsとの機械的密着性が悪く、再現性よく良好な接合を得ることは難しい。

一方、ゲート領域にマスクを設けてソース、ドレイン領域の高濃度イオン注入層を形成した後、上記マスクを除去してゲート電極コンタクトエッジがソース、ドレイン領域端より内側にくるようにゲート電極を形成したセルフライン型MESFETが発表されている(ELECTRONICS LETTERS 4th Feb. 1982 Vol. 18 No. 3 P119~121)。これは、ゲート電極形成後に高温アニーを必要としないため、優れたショットキー障壁特性を得ることが出来る。

することを目的とする。

(発明の概要)

本発明の第1の方法は、まず化合物半導体基板に比較的厚い絶縁膜を堆積し、この上にリフトオフ加工等を利用してゲート電極形成領域に金属パターンを形成する。つづいて、このパターンをマスクとして異方性エッチング法により絶縁膜のエッチングを行う。このあとリソグラフィにより素子領域に開口をもつレジストパターンを形成し、不純物を高濃度にイオン注入し、ソース・ドレイン領域を形成する。その結果、高濃度ソース、ドレイン領域がゲート領域に露出された絶縁膜に自己整合された状態で形成される。このあと等方性エッチング法にて前記絶縁膜の側面を僅かにエッチングする。この後金属パターンを除去しアニーを行った後全面に有機膜を塗布し、表面を平滑化する。そして、この有機膜を全面エッチングして前記絶縁膜の側面を露出させ、ついでこの絶縁膜をエッチング除去して基膜表面を露出させる。これにより、

を用い、浸漬はそれぞれ $20\text{ }\mu\text{m}/\text{min}$ 及び $10\text{ }\mu\text{m}/\text{min}$ 、エッチング時のガス圧は 0.07 Torr 、高周波電力は 200 W である。この条件下では、 SiO_2 膜のエッチングレートが $\sim 500\text{ }\text{\AA}/\text{min}$ 、 Al のエッチングレートが $\sim 20\text{ }\text{\AA}/\text{min}$ であり、 Al/SiO_2 の選択比は 20 以上であるため、 $1000\text{ }\text{\AA}$ 程度の Al でも $1\text{ }\mu\text{m}$ の SiO_2 をエッチする間充分にマスク効果を保持できる。

次に、リソグラフィにより素子領域に開口をもつレジストパターン 26 を形成した後、再び RIE により SiO_2 膜 23 をエッチングし、露出面を露出させて、 n 型不純物として $^{20}\text{Si}^+$ イオンを、加速エネルギー 205 keV 、ドーズ量 $3.0 \times 10^{13}\text{ 個}/\text{cm}^2$ で注入し、ソース、ドレイン領域に高濃度不純物層 27_1 、 27_2 を形成する (d)。この際、 Al パターン 25 下の SiO_2 膜 23 がイオン注入のマスクとして働くため、この SiO_2 膜 23 の下部には高濃度層が形成されない。

つぎに、再び Al パターン 26 をマスクとしてケミカル・ドライ・エッチング (CDE) により

特開明 59-229876 (5)

SiO_2 膜 23 を等方エッチングする。CDE による SiO_2 膜のエッチング速度は $\sim 200\text{ }\text{\AA}/\text{min}$ であり、 GaAs 基板及び Al は全くエッチングされないため、CDE を $10\text{ }\mu\text{m}$ 間行なうことにより Al パターン 26 の SiO_2 膜 23 が横方向にのみ片側 $L_1 = 0.2\text{ }\mu\text{m}$ ずつエッチングされる (e)。このサイドエッチングは極めて制御性よく行われる。このことにより後で形成するゲート電極領域が高濃度不純物層 27_1 、 27_2 からそれぞれ $L_2 = 0.2\text{ }\mu\text{m}$ 離れた所に $L_2 = 1.0 - (0.2 \times 2) = 0.6\text{ }\mu\text{m}$ の幅をもって正確に形成される。

この後、レジストパターン 26 および Al パターン 26 を除去した後、 SiO_2 膜を部分的に残したまま、 AsH_3 雰囲気中で 800°C 、 15 分間のアニールを行ない、高濃度不純物層 27_1 、 27_2 を電気的に活性化せしめる。なお、 Al は、 NaOH また HCl 等で GaAs 基板を腐食することなく容易に除去できる。アニールの後、レジスト膜 28 を全面に塗布し、表面を平滑化する (f)。この時、実験によれば粘度 270 cP のポリイソブレン

レジストを、 6000 回転で 30 秒間塗布すると、平坦部でのレジストの厚さは $1.1\text{ }\mu\text{m}$ であるが、厚さ $9000\text{ }\text{\AA} \sim 1\text{ }\mu\text{m}$ の SiO_2 膜の上部ではレジストの厚さが $0.8\text{ }\mu\text{m}$ となり、レジストの表面はほぼ平坦になっていることが確かめられている。

次にレジスト膜 28 を全面エッチングしてゆき、ゲート領域上の SiO_2 膜 23 の露出させる (g)。このレジストの除去方法には O_2 ガスによる RIE が最も適している。 RIE はほぼ完全な異方性ドライエッチングであるため、最初に塗布したレジストの形状が保たれたまま膜厚のみが減少してゆき、その制御がきわめて容易だからである。

例えば、 O_2 ガスの流量 10 sccm 、ガス圧 0.05 Torr 、高周波電力 100 W の条件下でのレジストのエッチング速度は約 $800\text{ }\text{\AA}/\text{min}$ であり、また、基板の温度上昇の影響などもほとんど受けて、面内均一性、再現性、制御性などにおいて、溶液によるレジストの除去などに比べはる

かに優れている。

この条件下でレジストの O_2 による RIE を 7 分間行なうと、平坦部では約 $5500\text{ }\text{\AA}$ のレジストが残るが、ゲート電極形成領域の SiO_2 膜 23 の上部のレジストは、もともと膜厚が薄いため、完全に除去される。

このように SiO_2 膜 23 の露出させたのち、この SiO_2 膜 23 を除去すれば、ゲート電極形成領域の基板表面が露出し、その周囲にレジスト膜 28 が残された状態が得られる。

次に、全面にゲート電極金属として Pt 膜 29 を $1000\text{ }\text{\AA}$ 薄層する (h)。このときレジストパターンのエッジが極めて鋭峻であるため、 Pt 膜 29 が段切れをおこし、パターン内とレジスト上の Pt が分離されるから、レジスト膜 28 を除去することによりリフトオフ加工をしてゲート電極となる Pt 膜 29 のみ残す (i)。この後、 Au-Ge 系合金によりソース、ドレイン電極 30_1 、 30_2 を形成して MESFET を完成する (j)。こうして得られた FET の特性を測定したところ、マスク上で $1\text{ }\mu\text{m}$ であったゲート長が実際のデバイスでは $0.6\text{ }\mu\text{m}$ と小さくなっており、またソース、

ゲート間ゲート、ドレイン間が0.2 μm であってゲート電極は電極層とオーバーラップせず、かつ極めて近接しているため、ソース直列抵抗もゲート容量も十分に小さく、ドレイン耐圧が高いことが確認された。

なお、ソース、ドレイン電極は、ゲート電極形成の前に例えば第2図(c)の状態で作成しておいてもよい。

本発明の第1の方法による他の実施例を第3図により説明する。上記実施例中の第2図(c)において、ゲート電極形成領域の SiO_2 膜23の露出部分を露出させた後、ウェハをクロロベンゼンに浸す。クロロベンゼンにはフトレジスト表面を攻撃、硬化させる作用があるため、第3図(c)に示すように硬化膜24が形成される。その後 SiO_2 膜23を除去した後、ウェハをレジストの現像液に浸せば、クロロベンゼンにより硬化されたレジスト表面は剥離されず、下部のレジスト膜28のみがわずかにエッチングされ、第3図(c)に示すようなオーバーハング構造とすること

特開59-229876 (B)

とができる。その後、ゲート電極金属であるPt膜25の蒸着を、例えばスパッタ法などの、ステップカバレッジのよい方法で行なっても、第3図(c)のように上記のオーバーハング構造のために、パターン内とレジスト上のPt膜が分離され、リフトオフが容易となる。

さらに他の実施例を第4図により説明する。上記実施例中の SiO_2 膜23の部分を第4図(a)に示すごとく、 SiO_2 膜23と SiN 膜23'の積層構造とする。この図中で、例えば SiO_2 膜23の厚さを2000 Å、 SiN 膜23'の厚さを8000 Åとし、高濃度イオン注入の際の露出部分を、第4図(b)のように SiO_2 膜23が露出するまで行ない、2000 Åの SiO_2 膜23を通して加速エネルギー250 keV、ドーズ量 3.0×10^{12} 個/ cm^2 で B^{10+} をイオン注入する。このとき、 CF_4 ガス系のRIBによる SiN/SiO_2 の選択比が2以上とれるので、イオン注入の露出部分を SiO_2 膜厚までとめることは比較的容易である。

その後、CDE法により第4図(c)のように SiN 膜23'をサイドエッチングするが、このときも SiN/SiO_2 の選択比が10程度と大きいので、 SiO_2 膜23はほとんどエッチングされず、 SiN 膜23'のみをエッチングすることができ、このような構造にすれば GaAs 表面は SiO_2 で保護されているため高濃度イオン注入層の活性化のためのアニールを、 N_2 、 Ar 、もしくは H_2 などの一気相の雰囲気中で行なうことが可能となる。

さらに、上記実施例と同様にレジスト膜28の露出部分より平準化を行い、 O_2 ガスのRIBによる SiN 膜23'の露出しを行なった後、 SiN 、 SiO_2 を等方向エッチングにより連続的に除去してやれば、第4図(d)に示すごとく SiO_2 膜23'にアンダーカットが生じた状態が得られ、この後形成するゲート電極金属は、その蒸着方法を問わず容易にリフトオフが可能となる。

また、もう一つの実施例として、ゲート電極金属にPt、Ti、Pdなど GaAs と反応して化合

物を形成するものを用い、熱処理により反応を進めてゲート閾値電圧を制御する方法がある。上記実施例においてもゲート電極としてPtを用いているが、ゲート電極形成後は、熱工程がなく GaAs との反応が進行していない。また、イオン注入条件が100 keV、 3.0×10^{12} 個/ cm^2 であるため、このままではノーマリーオン型のJFETである。これを、380℃で30分間の熱処理を行ない、Ptと GaAs を反応させ、ショットキー障壁面を活性層内部に形成することにより、発動的にゲート下部の活性層の厚さを薄くし、閾値電圧を制御してノーマリーオフ型にすることができ、

次に本発明の第3の方法による実施例を、第5図(a)~(f)を用いて詳細に説明する。まず、Crをドーパした半絶縁性 GaAs 基板41に、選択的イオン注入法によりSiイオンを加速エネルギー100 keV、ドーズ量 3×10^{12} 個/ cm^2 でイオン注入し、アルゴン雰囲気中で850℃で15分間のアニールを行ない電気的活性層42を形成す

特開昭59-229876(7)

る。この低温度(〜400℃)CVD法によりSiO₂膜43を1μmの厚さに形成する(6)。次にソース、ドレイン形成領域に開口を有する第1のマスクとしてレジストパターン44を形成し、SiO₂膜43をCF₄+H₂の混合ガスによる反応性イオンエッチング(RIE)により除去した後、BIイオンを180keV、 3×10^{16} 個/cm²でイオン注入し、高濃度不純物層45₁、45₂を形成する(6)。この際、SiO₂膜43のエッチングには、ここで用いたRIEのような異方性エッチングが必要である。すなわち従来ゲート電極となる部分では、SiO₂膜43の厚がただか1〜2μmである場合が多く、SiO₂膜43の厚さが1μmと厚いため、通常の等方的なエッチングではサイドエッチングによりパターン精度が著しく損なわれるからである。また、RIEは、その条件を選ぶことによりSiO₂/GaAs、SiO₂/レジストの選択比がそれぞれ>10、>5と大きくとれる。従ってエッチング後のSiO₂膜43の側面は階段状になり、また多少のオーバーエッチ

ングを行ってもGaAsはほとんどエッチングされない。さらに、RIEでは、イオン衝撃により半導体表面に損傷を与えるが、これは高濃度のイオン注入に比べれば極めて小さなものであり、後に続く800℃以上の注入不純物活性化のためのアニールにより完全に回復する。

高濃度のイオン注入の後、SiO₂膜43を等方的エッチングによりサイドエッチングする(6)。この目的は1つは先の実施例と同様、ゲート長の短縮であり、もう1つはゲートと高濃度層のオーバーラップを避けるためである。すなわち、活性層23上のSiO₂膜43の厚が1μmであったとすると、SiO₂膜43を0.2μmサイドエッチングすることにより、ゲート長方向のパターン幅は $1.0 - (0.2 \times 2) = 0.6\mu$ となり、通常の光刻方法によりサブミクロン・ゲートを形成することが可能となる。また、高濃度不純物層は、イオン注入、及びアニール時に側方向にも拡散することが十分に考えられる。このため、SiO₂膜43をサイドエッチングすることなく、そのまゝゲ

ート電極パターンを移し変えた際には、ゲート電極と高濃度不純物層が重なってしまう。このことは、ゲート容量C_{gs}を増加させるばかりでなく、ゲート、ドレイン間の耐圧が低くなり、故障の場合には、ゲートと高濃度不純物層がショートする結果となる。SiO₂膜43のサイドエッチングによりこれらのことを避けることができ、ゲートと高濃度不純物層の間隔を十分小さく保ったまま所望の間隔だけわずかに離すことができる。

さらにこの方法は、イオン注入の方向性によるオフセットを避けることができる、という利点も併せ持っている。一般にイオン注入の際には、面チャンネリングの効果を避けるため基板を5〜10°傾けて行なわれる。従って、イオン注入の前にマスクをサイドエッチングしておく方法では、ゲートにソースもしくはドレインのどちらか一方の高濃度不純物層が必要以上に近接してしまうことが生じるが、本実施例のように、イオン注入を行った後サイドエッチングを

かける方法を用いれば、このことを十分に妨げる。

なお、SiO₂膜43のサイドエッチングは、通常の湿式エッチング法を用いてもよいが、本実施例ではケミカル・ドライ・エッチング(CDE)を用いている。これは、CDEなどのドライエッチングの方がその制御性、均一性において優れているためである。

SiO₂膜43を0.2μmサイドエッチングした後、レジストパターン44を剥離し、不純物注入のマスクとして用いたSiO₂膜43を剥したままアルゴン雰囲気中で800℃10分間のアニールを行ない、高濃度不純物層45₁、45₂を電気的に活性化せしめる。

この後全面に有機膜としてフッ素レジスト膜46を塗布する(6)。この際に考慮とされるのは、フッ素レジスト膜46のカバレッジ、すなわちその膜面の平直性である。SiO₂膜43のパターンがある部分とない部分で、その厚さの差が十分大きくなければ、後にSiO₂膜43の側面を露

出させる工程でレジストのエッチングの制御性が厳しく要求される。

本実施例においては、 SiO_2 膜12の底層は高硬度不純物層15、15の形成される部分のみであり、その他の部分には1 μm の SiO_2 膜13が設けられている。従ってレジスト膜16は、この SiO_2 膜13の上層で通径の厚さとなる。また、段差部の底層はたかだか5~10 μm 程度であるため(4)に示す如く通常の塗布方法によっても、この段差部にレジスト膜16を充てんすることは十分に可能である。本実施例では粘度27 cpのポジ型レジストを0.0004mmで30秒間塗布したが、段差の幅が $L=7 \mu\text{m}$ のところ、下部に SiO_2 がある部分とない部分のレジスト膜16の表面の段差は0.1 μm 以下であった。レジスト塗布による平坦化工程に引き続き、第2のマスクとなるSiN膜17をスパッタで1000 \AA 堆積した後、ゲート電極領域よりもひとまわり大きいパターンングをレジスト膜18により施し、RIEによりSiN膜17を開孔

特開59-229876 (8)

する(6)。これは、ゲート電極を形成する部分の SiO_2 膜13のみを露出させ、他の部分にはゲート金属を付着させないためである。

この後、SiN膜17をマスクとして O_2 ガスによるRIEを行ない、ゲート電極領域の SiO_2 膜13の開口部を露出させる(7)。 O_2 ガスの流量10 cc/min、ガス圧0.05 Torr、局所放電力100 Wの条件下で、レジスト膜16は800 $\text{\AA}/\text{min}$ の速度で除去され、そのエッチングはほぼ等方性を保って進行するため、極めて制御性がよい。またSiN膜17のエッチングレートは80 $\text{\AA}/\text{min}$ 以下である。さらに、レジスト膜16の厚さは、 SiO_2 膜13上で1.0 μm 、 SiO_2 膜13のパターンがないGaAs上では実効的に2.0 μm になっており、 SiO_2 膜13の開口部が露出した時点でレジスト膜16のRIEを終了させることは容易であり、またレジスト厚の余裕も1 μm と大きい。さらに O_2 ガスによるRIEは、上述のように制御性に優れた閉域内均一性や再現性においても、Dエッチングなどによるレジストの除去に比べ優

れて優れている。こうしてレジスト膜16のRIEを、余裕を見込んで15分間行なうと、図に示すごとく、 SiO_2 膜13の開口部が露出する。

続いて露出した SiO_2 膜13を完全に除去すると、 SiO_2 膜13のパターンに対応したレジスト膜16の開口部が得られる(8)。このレジスト膜16を露出したまま、全面にALを1000 \AA 堆積した後、残っているレジスト膜16でリフトオフ加工を行なうとゲート電極19が形成される(9)。このゲート電極19のパターンは、レジスト膜16を塗布する前の後付層上の SiO_2 膜13のパターンと全く同一である。従って、第1のマスクであるレジスト膜14の最小寸法が1 μm であったにもかかわらず、このパターンの幅すなわちFETのゲート長は0.6 μm にまで短縮されている。さらに、このゲート電極19は、高硬度層15、15から0.2 μm 程度離れて形成され、高硬度層15、15とは全くオーバーラップしない。

この後、Au-Ga合金金によりソース、ドレ

イン電極20、20を形成する(1)。なお、このソース、ドレイン電極20、20は表面平坦化のレジスト膜16を塗布する前に形成しておいてもよい。

この結果、ゲートのマスク寸法が1 μm であるにもかかわらず、実際のゲート長が0.6 μm と短く、また、ソース、ドレインとゲート間が0.2 μm と小さいためソース直列抵抗もゲート容量も十分に小さく、高速動作が可能で、かつドレイン電圧が10 V以上という高電圧のFETが得られた。しかもFET特性はウェハ内及びウェハ間でもバラつきが少なく、非常に均一性のよいものであった。

また、ソース、ドレイン領域形成後にゲート電極を形成しているため、ゲート電極形成後の高真空工程を必要とせず、従って耐熱性金属を用いることなくセルフアライン構造を実現することができた。

参考例として、上記実施例中の SiO_2 膜12のサイドエッチング工程を行わずにFETを形成

した。これを上記実施例と比較すると、参考例の方がゲート電極と高濃度層の短絡による不良品の発生がみられたが、上記実施例のものはこの種の不良品は発生しなかった。さらにドレイン耐圧も、参考例のものは $4\text{ V} \sim 8\text{ V}$ と小さく、かつバラツキが大きかったが、上記実施例によるものは $10\text{ V} \sim 12\text{ V}$ と十分満足できる値が得られた。参考例の場合ドレイン耐圧が低いのは、ゲートと高濃度層が必要以上に近接しているためであり、さらにそのばらつきは、イオン注入時に装置を傾けているためと考えられるが、上記実施例においてはこれらの影響をほとんどうけていないことがわかった。

本発明の第2の方法による他の実施例としては、ゲート電極金属として Pt 、 Pd 、 Ti など、 GaAs と反応して化合物を形成するものを選び、熱処理により反応を進行させて GaAs 内部にショット接合界面を形成して閾値電圧を制御する方法がある。 Pt をゲート電極として GaAs と反応させ、ノーマリーオン型 PBT を製作した実施例と先の

特開明53-229876(9)

実施例を比較するとゲート電極に Pt を用いたものの方がさらに R_s が小さく、高 g_m のものが得られた。これは、ゲート電極に Pt を用いたものは、ゲート電極形成後の熱処理によりしきい値電圧を制御しているため、 $0.2\text{ }\mu\text{m}$ と短いソース、ゲート間も低抵抗になっており、この部分の影響がさらに軽減されているためである。

さらに他の実施例を第6図により説明する。先の実施例においては、レジスト膜16上に SiN 膜17を堆積してこれをパターンニングして第2のマスクとしているが、本実施例では、第6図(a)に示すようにレジスト膜81により第3のマスクを形成している。この場合、レジスト膜81は平坦化レジスト膜16とは異種材料であることが必要で、例えばレジスト膜16をポジ型、レジスト膜81をネガ型とする。このように交互に交互に合わせ、かつ特性の異なるものを用いることにより、工程を単純化することが可能である。この状態で O_2 ガスにより RIE を行ない、第6図(b)のように SiO_2 膜43の

頂部を露出させることができる。この後は先の実施例と同様の工程を採ればよい。

本発明は更に様々な変形実施することができる。例えば前層は、 SiO_2 に限らず SiN などでもよいし、その堆積方法、エッチング方法、エッチングガスなども種々選択できる。また活性層はイオン注入法による他、エピタキシャル成長法で形成してもよい。半導体基板として、 GaAs の他 InP その他の化合物半導体を用いた場合にも本発明を適用することができる。また、表面平坦化に用いる膜としてレジストの他、各種有機膜を用いることが可能である。

4. 図面の簡単な説明

第1図は、従来法による GaAs MESFETの構造を示す図、第2図(a)～(c)は本発明の第1の方法による実施例の GaAs MESFETの製造工程を示す図、第3図(a)～(c)及び第4図(a)～(c)は他の実施例による GaAs MESFETの製造工程を示す図、第5図(a)～(c)は本発明の第2の方法による実施例の GaAs MESFETの製造工程を示す図、第6図(a)、(b)は同じく

他の実施例の GaAs MESFETの製造工程を示す図である。

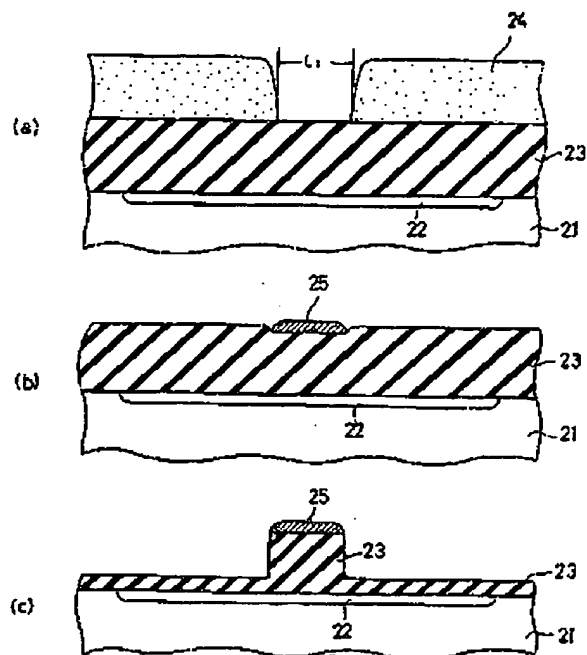
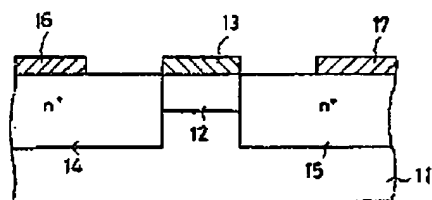
31…半絶縁性 GaAs 基板、32…a型活性層、33… SiO_2 膜、34…レジストパターン、35… Al パターン、36…レジストパターン、37、37'…高濃度不純物層(ソース、ドレイン領域)、38…レジスト膜、39… Pt 膜(ゲート電極金属膜)、40、40'…ソース、ドレイン電極、41…硬化膜、42… SiO_2 膜、43… SiN 膜、44…半絶縁性 GaAs 基板、45…a型活性層、46… SiO_2 膜、47…レジスト膜(第1のマスク)、48、48'…高濃度不純物層(ソース、ドレイン領域)、49…レジスト膜、49'… Pt 膜(ゲート電極)、50、50'…ソース、ドレイン電極、51…レジスト膜(第2のマスク)。

出願人代理人 弁護士 鈴木 武彦

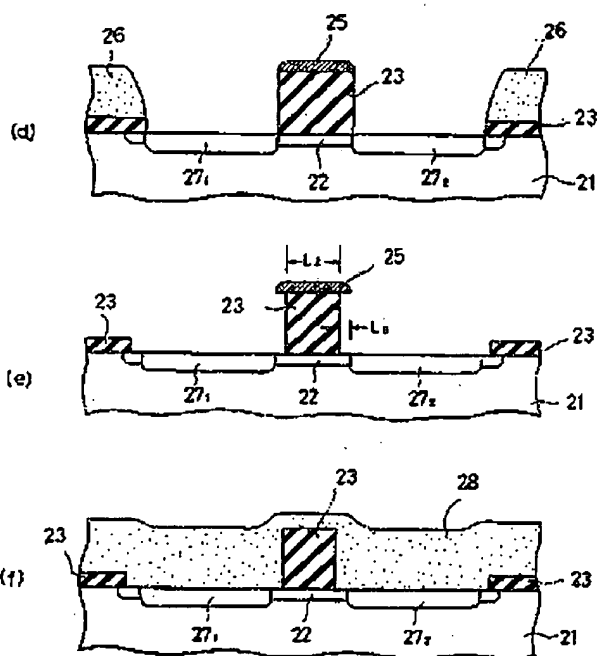
特開昭59-229876 (10)

第 2 図

第 1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

BEST AVAILABLE COPY